

DERWENT-ACC-NO: 1995-225811
DERWENT-WEEK: 200005
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device contg. MOSFET - has enlarged mask alignment edge without device enlargement

INVENTOR: KIM, J K; KIM, J

PATENT-ASSIGNEE: HYUNDAI ELECTRONICS IND CO LTD[HYUNN]

PRIORITY-DATA: 1993KR-0028885 (December 21, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
DE 4445796 A1	June 22, 1995	N/A	022	H01L 027/105
US 6001685 A	December 14, 1999	N/A	000	H01L 021/8242
JP 07201999 A	August 4, 1995	N/A	010	
US 5569948 A	October 29, 1996	N/A	019	H01L 021/768
DE 4445796 C2	March 11, 1999	N/A	000	H01L 029/76
KR 9707830 B1	May 17, 1997	N/A	000	H01L 021/8242

H01L 021/28

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
DE 4445796A1	N/A	1994DE-4445796	December 21, 1994
US 6001685A	Div ex	1994US-0359588	December 20, 1994
US 6001685A	N/A	1996US-0695298	August 9, 1996
US 6001685A	Div ex	US 5569948	N/A
JP 07201999A	N/A	1994JP-0318431	December 21, 1994
US 5569948A	N/A	1994US-0359588	December 20, 1994
DE 4445796C2	N/A	1994DE-4445796	December 21, 1994
KR 9707830B1	N/A	1993KR-0028885	December 21, 1993

INT-CL (IPC): H01L021/28; H01L021/336 ; H01L021/768 ; H01L021/8234 ;
H01L021/8242 ; H01L027/105 ; H01L027/108 ; H01L029/76 ; H01L029/78

ABSTRACTED-PUB-NO: DE 4445796A

BASIC-ABSTRACT: A semiconductor device with a MOSFET, having a source and drain in contact with respective conductive layers, includes (a) a contact pin electrically insulated from the gate electrode and in electrical contact with the drain; (b) a contact pad electrically insulated from the gate electrode and in electrical contact with the source; (c) a first wiring in electrical contact with the contact pin; and (d) a second wiring in electrical contact with the contact pad and electrically insulated from the first wiring.

Also claimed are similar semiconductor devices and processes for their prodn..

ADVANTAGE - The structure provides in enlarged alignment

ABSTRACTED-PUB-NO: US 5569948A

EQUIVALENT-ABSTRACTS: A semiconductor device including a metal oxide semiconductor field effect transistor having a source and a drain formed in a semiconductor substrate, comprising: a first insulation layer disposed on the semiconductor substrate and having first and second contact holes in it respectively corresp. to the source and the drain; a contact plug formed in the second contact hole in electrical contact with the drain, the contact plug having a top surface planar with an upper portion of the first insulation layer; a contact pad formed in the first contact hole in electrical contact with the source, an upper edge of the contact pad overlapping adjacent portions of the first insulation layer surrounding the first contact hole; a second insulation layer disposed on a surface of the first insulation layer and having third and fourth contact holes in it respectively corresp. to the contact plug and the contact pad; a first conductive wiring being in electrical contact with the contact plug through the third contact hole; and a second conductive wiring being in electrical contact with the contact pad through the fourth contact hole and being electrically insulated from the first conductive wiring.

US 6001685A

A semiconductor device with a MOSFET, having a source and drain in contact with respective conductive layers, includes (a) a contact pin electrically insulated from the gate electrode and in electrical contact with the drain; (b) a contact pad electrically insulated from the gate electrode and in electrical contact with the source; (c) a first wiring in electrical contact with the contact pin; and (d) a second wiring in electrical contact with the contact pad and electrically insulated from the first wiring.

Also claimed are similar semiconductor devices and processes for their prodn..

ADVANTAGE - The structure provides in enlarged alignment

CHOSEN-DRAWING: Dwg.3/7 Dwg.0/7

TITLE-TERMS:

SEMICONDUCTOR DEVICE CONTAIN MOSFET ENLARGE MASK ALIGN EDGE DEVICE ENLARGE

DERWENT-CLASS: L03 U11 U13

CPI-CODES: L04-C06B; L04-C11C; L04-E01B1;

EPI-CODES: U11-C04B2; U13-C04B1A; U13-D03A;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1995-103870

Non-CPI Secondary Accession Numbers: N1995-176984

①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Off nl gungsschrift
⑩ DE 44 45 796 A 1

⑤① Int. Cl.⁶:
H 01 L 27/105
H 01 L 21/8234

②① Aktenz ichen: P 44 45 796.0
②② Anm ldetag: 21. 12. 94
②③ Offenlegungstag: 22. 6. 95

DE 44 45 796 A 1

③⑩ Unionspriorität: ③② ③③ ③①
21.12.93 KR 28885/93

⑦① Anmelder:
Hyundai Electronics Industries Co., Ltd., Ichon,
Kyungki, KR

⑦④ Vertreter:
Reinhard, H., Dipl.-Chem. Dr.rer.nat.; Skuhra, U.,
Dipl.-Ing.; Weise, R., Dipl.-Ing., Pat.-Anwälte, 80801
München

⑦② Erfinder:
Kim, Jae Kap, Ichon, Kyonggi, KR

⑤④ Halbleitervorrichtung und Verfahren zum Herstellen derselben

⑤⑦ Die Erfindung betrifft eine Halbleitervorrichtung mit einem Aufbau, mit dem ein vergrößerter Ausrichtungsrand für eine Maske erhalten werden kann, ohne daß die Fläche der Halbleitervorrichtung vergrößert wird, unter Ausbilden eines Kontaktstifts auf einem Drain, während ein Kontaktkissen auf einer Source ausgebildet wird, ohne daß Kontaktstifte sowohl auf der Source wie dem Drain gleichzeitig ausgebildet werden, und ein Verfahren zur Herstellung dieser Halbleitervorrichtung. Das Kontaktkissen hat einen oberen Bereich, der sich teilweise mit einem Bereich des Isolierfilms überlappt, der ein Kontaktloch umgibt, in dem das Kontaktkissen vergraben ist. Es ist deshalb möglich, den Kontaktprozeß leicht durchzuführen.

DE 44 45 796 A 1

Die vorliegende Erfindung betrifft eine Halbleitervorrichtung und ein Verfahren zum Herstellen derselben, und insbesondere eine Halbleitervorrichtung, die mit einem Kontaktkissen und einem Kontaktstift versehen ist, die jeweils an einer Source und einem Drain eines Metalloxidhalbleiterfeldeffekttransistors (MOSFET) ausgebildet und dazu ausgelegt sind, die Source und den Drain in Kontakt mit Leitungsschichten zu bringen, und ein Verfahren zum Herstellen dieser Halbleitervorrichtung.

Zum Herstellen einer Halbleitervorrichtung mit höherem Integrationsgrad werden üblicherweise Muster der Halbleitervorrichtung durch einen lithographischen Prozeß so ausgebildet, daß sie einen minimalen Musterplatzbedarf haben. In diesem Fall hat die Halbleitervorrichtung jedoch unvermeidlich eine ausladendere Topologie.

Eine derartige ausladendere Topologie resultiert in einer Zunahme des Längen- oder Seitenverhältnisses eines Kontaktlochs, das daraufhin ausgebildet wird, um eine Leitungsschicht in Kontakt mit einem Halbleitersubstrat der Halbleitervorrichtung zu bringen. Dies verursacht Probleme hinsichtlich einer unzureichenden Stufenabdeckung der Leitungsschicht, die in Kontakt mit dem Halbleitersubstrat steht und einer Vergrößerung des Kontaktwiderstands.

Um diese Probleme zu überwinden, sind Techniken vorgeschlagen worden, demnach ein Kontaktstecker vorgesehen wird, der durch Vergraben der Leitungsschicht in einem unteren Bereich des Kontaktlochs ausgebildet wird, und demnach ein Kontaktkissen ausgebildet wird, das in Kontakt mit dem Halbleitersubstrat steht.

Diese herkömmlichen Techniken werden nunmehr in Verbindung mit Fig. 1 und den Fig. 2A bis 2F näher erläutert.

Fig. 1 zeigt ein Layout eines MOSFET mit einem herkömmlichen Kontaktaufbau. In Fig. 1 ist der Aufbau des MOSFET symmetrisch zu seinem Drain gezeigt. Wie in Fig. 1 gezeigt, umfaßt der MOSFET eine aktive Maske 50, eine Wortleitungsmaske 52, eine Source-/Drain-Kontaktmaske 54, eine Drain-Kontaktmaske 56, eine erste Leitungsverdrahtungsmaske 58 und eine Source-Kontaktmaske 60.

Die Fig. 2A bis 2F zeigen Querschnittsansichten jeweils entlang der Linie X-X' von Fig. 1 zur Verdeutlichung eines herkömmlichen Verfahrens zur Ausbildung von Kontaktstiften jeweils an einer Source und einem Drain des in Fig. 1 gezeigten MOSFET-Aufbaus, und zum Ausbilden einer Leitungsschicht zur Kontaktaufnahme mit den Kontaktstiften.

Gemäß diesem Verfahren wird zunächst ein Isolierfilm 2 für eine Elementisolierung auf einem vorbestimmten Bereich eines Halbleitersubstrats 1 ausgebildet, wie in Fig. 2A gezeigt. Auf dem anderen Bereich des Halbleitersubstrats 1 wird daraufhin ein MOSFET ausgebildet, der einen Gate-Oxidfilm 3, Gate-Elektroden 4, eine Source 6 und einen Drain 6' einschließt. Daraufhin werden ein Isolierfilm 5 und Isolierfilmabstandhalter 7 auf einer Oberseitenfläche und Seitenflächen jeder Gate-Elektrode 4 jeweils ausgebildet. Der Isolierfilm 5 besteht aus einem Oxidfilm.

Ein dünner Oxidfilm 8 wird daraufhin auf der Source 6 und dem Drain 6', die freiliegen, ausgebildet, wie in Fig. 2B gezeigt. Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird ein erster Iso-

lierfilm 10 zur Einebnung ausgebildet. Der erste Isolierfilm 10 besteht beispielsweise aus einem Borphosphorsilicatglas (BPSG)-Film. Unter Verwendung einer Source-/Drain-Kontaktmaske, wie beispielsweise der in Fig. 1 gezeigten Maske 54, wird daraufhin die Ausbildung eines Photoresistfilmmusters 11 durchgeführt.

Unter Verwendung des Photoresistfilmmusters 11 als Maske, werden freiliegende Bereiche des ersten Isolierfilms 10 daraufhin einer Ätzung unterworfen, wie in Fig. 2C gezeigt. Daraufhin wird der dünne Oxidfilm 8, der nach dem Ätzen des ersten Isolierfilms 10 freiliegt, anisotrop geätzt, wodurch Kontaktlöcher 19 ausgebildet werden, durch welche die Source 6 und der Drain 6' jeweils freigelegt werden. Die Kontaktlöcher 19 sind mittels der Isolierabstandhalter 7 selbstausrichtend ausgebildet. Daraufhin wird das Photoresistfilmmuster 11 entfernt. Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird eine Leitungsschicht 12 mit einer ausreichenden Dicke derart ausgebildet, daß sie in dem Kontaktloch 19 vergraben ist.

Daraufhin wird die Leitungsschicht 12 vollständig geätzt, bis die obere Oberfläche des ersten Isolierfilms 10 freiliegt, wie in Fig. 2D gezeigt. Die verbleibenden Bereiche der Leitungsschicht 12 bilden dadurch Kontaktstifte 12', die jeweils in den Kontaktlöchern 19 vergraben sind.

Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird daraufhin ein zweiter Isolierfilm 14 mit einer vorbestimmten Dicke ausgebildet, wie in Fig. 2E gezeigt. Daraufhin wird der zweite Isolierfilm 14 einem Ätzprozeß unter Verwendung der Drain-Kontaktmaske, wie beispielsweise der in Fig. 1 gezeigten Maske 56, derart unterworfen, daß der Kontaktstift 12', der sich in Kontakt mit dem Drain 6' befindet, freigelegt wird. Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird eine erste Leitungsschicht niedergeschlagen. Die erste Leitungsschicht wird daraufhin einem Ätzprozeß unter Verwendung einer ersten Leitungsverdrahtungsmaske, wie beispielsweise der Maske 58 von Fig. 1, unterworfen, wodurch eine erste Leitungsverdrahtung 15 ausgebildet wird. Da der zweite Isolierfilm 14 eine geringe Dicke hat, wird er selbst in einem fehlausgerichteten Zustand der ersten Leitungsverdrahtungsmaske nicht mit der Gate-Elektrode 4 kurzgeschlossen.

Ein dritter Isolierfilm 16 wird daraufhin über der gesamten freiliegenden Oberfläche der resultierenden Struktur ausgebildet, wie in Fig. 2F gezeigt. Unter Verwendung der Source-Kontaktmaske, wie beispielsweise der Maske 60 von Fig. 1, wird der dritte Isolierfilm 16 daraufhin derart geätzt, daß der Kontaktstift 12' freigelegt wird, der in Kontakt mit der Source 6 steht. Daraufhin wird die Ausbildung einer zweiten Leitungsverdrahtung 17 durchgeführt. Aus Fig. 2F geht hervor, daß der zweite Isolierfilm 14 und der erste Isolierfilm 10, die über jeder Gate-Elektrode 5 ausgebildet sind, beim Schritt des Ätzens des Isolierfilms 16 aufgrund einer Fehlausrichtung der Source-Kontaktmaske nach rechts teilweise geätzt worden sind, wodurch die zweite Leitungsverdrahtung 17 dazu veranlaßt wird, mit der Gate-Elektrode 4 kurzgeschlossen zu werden.

Gemäß dem herkömmlichen Verfahren kann ein derartiges unerwünschtes Kurzschlußphänomen aufgrund kleiner Maskenausrichtungsänderungen leicht auftreten, die durch Ausbilden der Kontaktstifte auf der Quelle und dem Drain und Ausbilden der Leitungsschichtmuster jeweils gegeben werden, die in Kontakt mit den Kontaktstiften stehen.

Um zu verhindern, daß diese Kurzschlußphänomene beim Ausbilden von Kontakten auf der Source und dem Drain auftreten, sollte die Auslegung der Halbleitervorrichtung derart vorgenommen werden, daß eine Druckregistrierung oder Drucklage- bzw. Paßgenauigkeit und eine beim Herstellen einer Kontaktmaske auftretende Schwankung der kritischen Abmessung, eine Fehlausrichtungstoleranz, eine Linsenverzerrung und eine beim Ausbilden eines Musters auf einem Wafer auftretende Schwankung der kritischen Abmessung in Betracht gezogen werden. Dies führt jedoch zu einer vergrößerten Fläche der Halbleitervorrichtung.

Die Aufgabe der vorliegenden Erfindung besteht unter Beseitigung der vorstehend genannten Probleme darin, eine Halbleitervorrichtung sowie ein Verfahren zum Herstellen dieser Halbleitervorrichtung zu schaffen, deren Aufbau das Erhalten eines vergrößerten Ausrichtungsrandes für eine Maske gewährleistet, ohne daß die Fläche der Halbleitervorrichtung vergrößert wird, indem ein Kontaktstift auf einem Drain ausgebildet wird, während ein Kontaktkissen auf einer Source ausgebildet wird, ohne daß Kontaktkissen in ähnlicher Weise sowohl auf der Source wie dem Drain ausgebildet werden.

Gelöst wird die Erfindung hinsichtlich der Halbleitervorrichtung jeweils durch die Merkmale der Ansprüche 1, 2 und 3 und hinsichtlich des Verfahrens jeweils durch die Merkmale der Ansprüche 4 und 8. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen genannt.

Gemäß einem Aspekt schafft die Erfindung demnach eine Halbleitervorrichtung mit einem Metalloxidhalbleiterfeldeffekttransistor, der eine Source und einen Drain hat, die jeweils in Kontakt mit Leitungsschichten stehen, umfassend einen Kontaktstift, der von einer Gate-Elektrode des Transistors elektrisch isoliert ist und in elektrischem Kontakt mit dem Drain steht, ein Kontaktkissen, das elektrisch von der Gate-Elektrode isoliert ist und in elektrischem Kontakt mit der Source steht, eine erste Leitungsverdrahtung, die in elektrischem Kontakt mit dem Kontaktstift steht, und eine zweite Leitungsverdrahtung, die in elektrischem Kontakt mit dem Kontaktkissen steht und elektrisch von der ersten Leitungsverdrahtung isoliert ist.

Gemäß einem weiteren Aspekt schafft die Erfindung ein Verfahren zum Ausbilden einer Halbleiterspeichervorrichtung mit einem Metalloxidhalbleiterfeldeffekttransistor, einem Kondensator, der in Kontakt mit einer Source des Transistors steht, und einer Bit-Leitung, die in Kontakt mit einem Drain des Transistors steht, umfassend die Schritte: Ausbilden eines Isolierfilms für eine Elementisolation auf einem vorbestimmten Bereich eines Halbleitersubstrats, Ausbilden eines Metalloxidhalbleiterfeldeffekttransistors, der eine Gate-Elektrode, eine Source und einen Drain auf einem anderen Bereich des Halbleitersubstrats als dem vorbestimmten Bereich einschließt, und daraufhin Ausbilden eines Isolierfilms und eines Isolierfilmbandhalters jeweils auf einer oberen Oberfläche der Gate-Elektrode sowie auf jeder Seitenfläche der Gate-Elektrode, Ausbilden einer ersten Ätzbarrierschicht für den Isolierfilm über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Isolierfilms und des Isolierfilmbandhalters erhalten wird, und daraufhin Ausbilden eines ersten Isolierfilms zur Einebnung über der ersten Ätzbarrierschicht, Ausbilden von Kontaktlöchern jeweils zum Freilegen der Source und des Drain, Niederschlagen einer Leitungsschicht über der

gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung der Kontaktlöcher erhalten wird, Ätzen ausgewählter Bereiche der Leitungsschicht, wodurch ein Kontaktkissen und ein Kontaktstift jeweils auf dem Kontaktloch zum Freilegen des Drain und auf dem Kontaktloch zum Freilegen der Source ausgebildet wird, Ausbilden eines zweiten Isolierfilms über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Kontaktkissens und des Kontaktstifts erhalten wird, und daraufhin Ausbilden eines Kontaktlochs zum Freilegen des Kontaktkissens, Ausbilden einer Leitungsschicht für die Bit-Leitung und eines dritten Isolierfilms über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Kontaktlochs zum Freilegen des Kontaktkissens erhalten wird, und daraufhin Ätzen jeweils vorbestimmter Bereiche des dritten Isolierfilms und der Bit-Leitung unter Verwendung eines Ätzprozesses unter Verwendung einer Bit-Leitungsmaske, wodurch die Bit-Leitung ausgebildet wird, Ausbilden eines Isolierfilmbandhalters auf jeder Seitenwand der Bit-Leitung, Ausbilden einer zweiten Ätzbarrierschicht über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Isolierfilmbandhalters erhalten wird, und daraufhin Ausbilden eines vierten Isolierfilms zum Einebnen über der zweiten Ätzbarrierschicht, Ausbilden eines Kontaktlochs zum Freilegen des Kontaktstifts, Ausbilden einer Speicherelektrode, die in Kontakt mit dem Kontaktstift steht, und Ausbilden eines dielektrischen Films und einer Plattenelektrode auf der Speicherelektrode.

Nachfolgend wird die Erfindung anhand der Zeichnung beispielhaft näher erläutert; es zeigen:

Fig. 1 eine Aufsicht eines Layouts einer herkömmlichen Halbleitervorrichtung,

Fig. 2A bis 2F jeweils Querschnittsansichten zur Verdeutlichung eines herkömmlichen Verfahrens zur Ausbildung von Kontaktstiften jeweils auf einer Source und einem Drain eines MOSFET und zum in Kontakt bringen einer Leitungsverdrahtung mit jedem Kontaktstift,

Fig. 3 eine Aufsicht eines Layouts einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung,

Fig. 4A bis 4F jeweils Querschnittsansichten, die ein Verfahren zum Ausbilden von Kontaktstiften jeweils auf einer Source und einem Drain eines MOSFET und zum in Kontakt bringen einer Leitungsverdrahtung mit jedem Kontaktstift gemäß der vorliegenden Erfindung verdeutlichen,

Fig. 5 eine Aufsicht eines Layout einer Halbleiterspeichervorrichtung gemäß einer weiteren Ausführungsform der vorliegenden Erfindung,

Fig. 6A bis 6I jeweils Querschnittsansichten entlang der Linie X-X' von Fig. 5 zur Verdeutlichung eines Verfahrens zur Herstellung einer Halbleiterspeichervorrichtung, die mit einem Kontaktkissen und Kontaktstiften gemäß der vorliegenden Erfindung versehen ist, und

Fig. 7A bis 7D den Fig. 6F bis 6I entsprechende Querschnittsansichten entlang der Linie Y-Y' von Fig. 5.

Fig. 3 zeigt ein Layout eines MOSFET mit einer Kontaktstruktur gemäß einer Ausführungsform der vorliegenden Erfindung. In Fig. 3 ist der Aufbau des MOSFET symmetrisch zu seinem Drain gezeigt. In Fig. 3 sind den Elementen von Fig. 1 entsprechende Elemente mit denselben Bezugsziffern bezeichnet. Wie in Fig. 3 gezeigt, umfaßt der MOSFET eine aktive Maske 50, eine Wortleitungsmaske 52, eine Source-/Drain-Kontaktmaske

54, eine Kontaktkissenmaske 55, eine Drain-Kontaktmaske 56, eine erste Leitungsverdrahtungsmaske 58 und eine Source-Kontaktmaske 62.

Die Fig. 4A bis 4F sind Querschnittsansichten entlang der Linie X-X' von Fig. 3 unter Verdeutlichung eines Verfahrens zur Ausbildung eines Kontaktstifts an einem Drain der MOS-FET-Struktur, zur Ausbildung eines Kontaktkissens auf einer Source der MOSFET-Struktur und zur Ausbildung einer Leitungsschicht für Kontakte. In den Fig. 4A bis 4F sind den Elementen der Fig. 2A bis 2F entsprechende Elemente mit denselben Bezugsziffern bezeichnet.

Gemäß diesem Verfahren wird zunächst ein Isolierfilm 2 für eine Elementisolation auf einem vorbestimmten Bereich eines Halbleitersubstrats 1 ausgebildet, wie in Fig. 4A gezeigt. Auf dem anderen Bereich des Halbleitersubstrats 1 wird daraufhin ein MOSFET ausgebildet, der einen Gate-Oxidfilm 3, Gate-Elektroden 4, eine Source 6 und einen Drain 6' umfaßt. Daraufhin werden ein Isolierfilm 5 und Isolierfilmabstandhalter 7 auf der oberen Oberfläche und den Seitenflächen jeder Gate-Elektrode 4 jeweils ausgebildet. Der Isolierfilm 5 besteht aus einem Oxidfilm.

Ein dünner Oxidfilm 8 wird daraufhin auf der Source und dem Drain 6 und 6', die freiliegen, ausgebildet, wie in Fig. 2B gezeigt. Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird ein erster Isolierfilm 10 zur Einebnung ausgebildet. Der erste Isolierfilm 10 besteht beispielsweise aus einem BPSG-Film. Unter Verwendung einer Source-/Drain-Kontaktmaske, wie beispielsweise der Maske 54 von Fig. 3 wird die Ausbildung eines Photoresistfilmmusters 11 daraufhin durchgeführt.

Unter Verwendung des Photoresistfilmmusters 11 als Maske werden daraufhin die freiliegenden Bereiche des ersten Isolierfilms 10 geätzt, wie in Fig. 4C gezeigt. Daraufhin wird der dünne Oxidfilm 8, der nach dem Ätzen des ersten Isolierfilms 10 freiliegt, anisotrop geätzt, wodurch Kontaktlöcher 19 ausgebildet werden, durch welche die Source 6 und der Drain 6' jeweils freigelegt sind. Die Kontaktlöcher 19 werden in selbstausrichtender Weise mittels der Isolierabstandhalter 7 ausgebildet. Daraufhin wird das Photoresistfilmmuster 11 entfernt. Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird eine Leitungsschicht 12 mit einer ausreichenden Dicke so ausgebildet, daß sie in den Kontaktlöchern 19 vergraben ist. Ein Photoresistfilm wird daraufhin über die gesamte freiliegende Oberfläche der resultierenden Struktur aufgetragen. Unter Verwendung einer Kontaktkissenmaske, wie beispielsweise der Maske 55 von Fig. 3, wird der Photoresistfilm einer Belichtung und Entwicklung unterworfen, wodurch ein Photoresistfilmmuster 13 ausgebildet wird.

Unter Verwendung des Photoresistfilmmusters 13 als Maske wird daraufhin die Leitungsschicht 12 vollständig geätzt, bis die obere Oberfläche des ersten Isolierfilms 10 freiliegt, wie in Fig. 4D gezeigt. Dadurch bilden die verbleibenden Bereiche der Leitungsschicht 12 einen Kontaktstift 12' und ein Kontaktkissen 12'', die jeweils in den Kontaktlöchern 19 vergraben sind. Das Kontaktkissen 12'' hat einen oberen Bereich, der sich teilweise mit einem Bereich des ersten Isolierfilms 10 überlappt, der das entsprechende Kontaktloch 19 umgibt.

Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird daraufhin ein zweiter Isolierfilm 14 mit einer vorbestimmten Dicke ausgebildet, wie in Fig. 4E gezeigt. Daraufhin wird der zweite Isolierfilm 14 unter Verwendung einer Drain-Kontaktmaske, wie

beispielsweise der Kontaktmaske von Fig. 3, einem Ätzprozeß derart unterworfen, daß der Kontaktstift 12' freigelegt wird. Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird eine erste Leitungsschicht niedergeschlagen. Die erste Leitungsschicht wird daraufhin unter Verwendung einer ersten Leitungsverdrahtungsmaske, wie beispielsweise der Maske 58 von Fig. 3 einem Ätzprozeß unterworfen, wodurch eine erste Leitungsverdrahtung 15 ausgebildet wird. Da der zweite Isolierfilm 14 eine geringe Dicke hat, wird er mit der Gate-Elektrode 4 selbst bei einem verbliebenen Fehlausrichtungszustand der ersten Leitungsverdrahtungsmaske nicht kurzgeschlossen. Dies ist deshalb der Fall, weil der erste Isolierfilm 10, der unter dem zweiten Isolierfilm 14 angeordnet ist, selbst dann unvollständig geätzt wird, wenn ein Überätzen des zweiten Isolierfilms 14 erzeugt wird.

Ein dritter Isolierfilm 16 wird daraufhin über der gesamten freiliegenden Oberfläche der resultierenden Struktur ausgebildet, wie in Fig. 4F gezeigt. Unter Verwendung einer Source-Kontaktmaske, wie beispielsweise der Maske 62 von Fig. 3, wird der dritte Isolierfilm 16 daraufhin derart geätzt, daß er ein Kontaktloch bildet, durch das das Kontaktkissen 12'' freiliegt. Daraufhin wird die Ausbildung einer zweiten Leitungsverdrahtung 17 durchgeführt, die in Kontakt mit dem Kontaktkissen 12'' steht. Aus Fig. 4F geht hervor, daß ein Ausrichtungsrand entsprechend der vergrößerten Weite D des Kontaktkissens 12'' durch Anordnen der Source-Kontaktmaske, nämlich der Maske 62 von Fig. 3 erzeugt wird, wodurch verhindert wird, daß der erste Isolierfilm 10 geätzt wird. Dadurch kann verhindert werden, daß die zweite Leitungsverdrahtung 17 mit anderen Leitungsfilmern kurzgeschlossen wird.

Da die Kontakte unter Verwendung des Kontaktkissens und des Kontaktstifts ausgebildet werden, wie vorstehend erwähnt, ist es möglich, die Leitungsschicht stabil oder dauerhaft in Kontakt mit dem Halbleitersubstrat zu bringen, während die Fläche der Halbleitervorrichtung minimiert wird.

Fig. 5 zeigt ein Layout eines dynamischen Direktzugriffsspeichers (DRAM), der mit einem Kontaktkissen und Kontaktstiften gemäß einer weiteren Ausführungsform der vorliegenden Erfindung aufgebaut ist. Wie in Fig. 5 gezeigt, umfaßt der DRAM eine aktive Maske 70, eine Wortleitungsmaske 72, eine Source-/Drain-Kontaktmaske 74, eine Kontaktkissenmaske 76, eine Bit-Leitungskontaktmaske 78, eine Bit-Leitungsmaske 80 und eine Speicherelektrodenkontaktmaske 82.

Die Fig. 6A bis 6I zeigen Querschnittsansichten jeweils entlang der Linie X-X' von Fig. 5 zur Verdeutlichung eines Verfahrens zur Herstellung einer Halbleiterspeichervorrichtung, die mit einem Kontaktkissen und einem Kontaktstift gemäß der vorliegenden Erfindung versehen ist.

Die Fig. 7A bis 7D zeigen ihrerseits Querschnittsansichten jeweils entlang der Linie Y-Y' von Fig. 5, die denjenigen der Fig. 6F bis 6I entsprechen.

Gemäß diesem Verfahren wird zunächst ein Isolierfilm 22 für eine Elementisolation auf einem vorbestimmten Bereich eines Halbleitersubstrats 21 ausgebildet, wie in Fig. 6A gezeigt. Auf dem anderen Bereich des Halbleitersubstrats 21 sind ein Gate-Oxidfilm 23, Gate-Elektroden 24, Sources 26 und ein Drain 26' ausgebildet. Daraufhin werden ein Isolierfilm 25 und Isolierfilmabstandhalter 27 auf der oberen Oberfläche und Seitenflächen jeder Gate-Elektrode 24 jeweils ausgebildet.

Daraufhin wird ein dünner Oxidfilm 28 auf freiliegen-

den Bereichen des Halbleitersubstrats 21 ausgebildet, wie in Fig. 6b gezeigt. Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird daraufhin eine Ätzbarrierschicht 29 für eine Zwischenschichtisolierung ausgebildet. Ein erster Isolierfilm 30 zum Einebnen wird über der Ätzbarrierschicht 29 ausgebildet. Daraufhin wird ein Photoresistfilm über dem ersten Isolierfilm 30 aufgetragen. Unter Verwendung einer Source-/Drain-Kontaktmaske, wie der Maske 74 von Fig. 5 wird daraufhin der Photoresistfilm einer Belichtung und Entwicklung unterworfen, um ein Photoresistfilmmuster 31 auszubilden.

Unter Verwendung des Photoresistfilmmusters 31 als Maske werden daraufhin freiliegende Bereiche des ersten Isolierfilms 30 geätzt, bis die Ätzbarrierschicht 29, die unter dem ersten Isolierfilm 30 angeordnet ist, freigelegt ist, wie in Fig. 6C gezeigt. Daraufhin werden die freiliegenden Bereiche der Ätzbarrierschicht 29 und des dünnen Oxidfilms 28 anisotrop geätzt, wodurch Kontaktlöcher 45 ausgebildet werden, durch welche die Sources 26 und die Drains 26' jeweils freiliegen. Daraufhin wird das Photoresistfilmmuster 31 entfernt. Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird eine Leitungsschicht 32 mit einer ausreichenden Dicke derart ausgebildet, daß sie in den Kontaktlöchern 45 vergraben ist. Ein Photoresistfilm wird daraufhin über die Leitungsschicht 32 aufgetragen. Unter Verwendung einer Kontaktkissenmaske, wie beispielsweise der Maske 76 von Fig. 5 wird der Photoresistfilm einer Belichtung und Entwicklung unterworfen, wodurch ein Photoresistfilmmuster 33 ausgebildet wird. Die Leitungsschicht 32 kann aus Polysilicium oder amorphem Silicium bestehen.

Unter Verwendung des Photoresistfilmmusters 33 als Maske wird daraufhin die Leitungsschicht 32 geätzt, bis die obere Oberfläche des ersten Isolierfilms 30 freigelegt ist, wie in Fig. 6D gezeigt. Die verbleibenden Bereiche der Leitungsschicht 32 bilden dadurch einen Kontaktstift 32', der in Kontakt mit jeder Source 26 steht, und ein Kontaktkissen 32'', das in Kontakt mit jedem Drain 26' steht. Daraufhin wird das Photoresistfilmmuster 33 entfernt.

Über der gesamten freiliegenden Oberfläche der resultierenden Struktur wird daraufhin ein zweiter Isolierfilm 34 mit einer vorbestimmten Dicke ausgebildet, wie in Fig. 6E gezeigt. Daraufhin wird der zweite Isolierfilm 34 einem Ätzprozeß unter Verwendung einer Bit-Leitungskontaktmaske, wie beispielsweise der Kontaktmaske von Fig. 5 unterworfen, wodurch ein Kontaktloch zum freilegen des Kontaktkissens 32'' ausgebildet wird. Über der gesamten freiliegenden Oberfläche der resultierenden Struktur werden daraufhin eine Leitungsschicht 35 für eine Bit-Leitung und ein dritter Isolierfilm 36 ausgebildet. Ein Photoresistfilm wird daraufhin über dem dritten Isolierfilm 36 aufgetragen. Unter Verwendung einer Bit-Leitungsmaske, wie beispielsweise der Maske 80 von Fig. 5, wird der Photoresistfilm einer Belichtung und Entwicklung unterworfen, wodurch ein Photoresistfilmmuster 37 ausgebildet wird.

Unter Verwendung des Photoresistfilmmusters 37 als Maske werden daraufhin der dritte Isolierfilm 36 und die Leitungsschicht 35 geätzt, wodurch der zweite Isolierfilm 34 teilweise freigelegt wird, wie in den Fig. 6F und 7A gezeigt. Die freigelegten Bereiche des zweiten Isolierfilms 34 werden daraufhin mit einer bestimmten Tiefe geätzt, wodurch ein drittes Isolierfilmmuster 36' und eine Bit-Leitung 35' ausgebildet werden. Daraufhin wird das Photoresistfilmmuster 37 entfernt.

Daraufhin wird die Ausbildung von Isolierfilmmustern 38, welche die Seitenwände der Bit-Leitung 36' bedecken und des dritten Isolierfilmmusters 36' durchgeführt, wie in den Fig. 6G und 7B gezeigt.

Daraufhin wird über der gesamten freiliegenden Oberfläche der resultierenden Struktur eine Ätzbarrierschicht 39 ausgebildet, wie in den Fig. 6H und 7C gezeigt. Ein vierter Isolierfilm 40 zum Einebnen wird daraufhin über der Ätzbarrierschicht 39 ausgebildet. Über dem vierten Isolierfilm 40 wird daraufhin ein Photoresistfilm aufgetragen. Darauf folgend wird der Photoresistfilm einer Belichtung und Entwicklung unterworfen, wodurch ein Photoresistfilmmuster 41 ausgebildet wird.

Unter Verwendung des Photoresistfilmmusters 41 als Maske wird daraufhin der vierte Isolierfilm 40 geätzt, bis die Ätzbarrierschicht 39, die unter dem vierten Isolierfilm 40 angeordnet ist, freigelegt ist, wie in den Fig. 6I und 7D gezeigt. Die freiliegenden Bereiche der Ätzbarrierschicht 39 und Bereiche des zweiten Isolierfilms 34, die unter den freiliegenden Bereichen der Ätzbarrierschicht 39 angeordnet sind, werden kontinuierlich geätzt, wodurch ein Kontaktloch ausgebildet wird, durch das jeder der Kontaktstifte 32' freigelegt ist. Daraufhin wird eine Leitungsschicht 42 für eine Speicherelektrode über der gesamten freiliegenden Oberfläche der resultierenden Struktur derart niedergeschlagen, daß sie in elektrischem Kontakt mit den Sources 26 steht. Über der Leitungsschicht 42 wird daraufhin ein Muster für eine Speicherelektrode ausgebildet. Unter Verwendung des Musters für die Speicherelektroden als Maske wird die Ausbildung einer Speicherelektrode durchgeführt. Zuletzt werden ein dielektrischer Film und eine Plattenelektrode auf der Speicherelektrode ausgebildet. Dadurch wird eine Kondensatorstruktur erzielt.

Wie aus der vorstehenden Beschreibung hervorgeht, schafft die vorliegende Erfindung eine Halbleitervorrichtung mit einem MOSFET-Aufbau, der dazu in der Lage ist, die Fläche der Halbleitervorrichtung zu minimieren, indem ein Kontaktstift und ein Kontaktkissen jeweils auf einem Drain und einer Source des MOSFET ausgebildet werden. Mittels dem gemäß der vorliegenden Erfindung strukturierten Kontaktkissen kann durch in Kontakt bringen der Leitungsschichten jeweils mit dem Kontaktkissen und dem Kontaktstift ein ausreichend (großer) Ausrichtungsrand für eine Kontaktmaske erzeugt oder vorgesehen werden.

Obwohl die bevorzugten Ausführungsformen der Erfindung beispielhaft beschrieben worden sind, erschließen sich dem Fachmann verschiedene Modifikationen, Zusätze und Ersätze, ohne vom Umfang und Geist der Erfindung abzuweichen, die in den folgenden Ansprüchen offenbart ist.

Patentansprüche

1. Halbleitervorrichtung mit einem Metalloxidhalbleiterfeldeffekttransistor, der eine Source und einen Drain hat, die jeweils in Kontakt mit Leitungsschichten stehen, umfassend:

- einen Kontaktstift, der von einer Gate-Elektrode des Transistors elektrisch isoliert ist und in elektrischem Kontakt mit dem Drain steht,
- ein Kontaktkissen, das elektrisch von der Gate-Elektrode isoliert ist und in elektrischem Kontakt mit der Source steht,

- eine erste Leitungsverdrahtung, die in elektrischem Kontakt mit dem Kontaktstift steht, und

- eine zweite Leitungsverdrahtung, die in elektrischem Kontakt mit dem Kontaktkissen steht und elektrisch von der ersten Leitungsverdrahtung isoliert ist.

2. Halbleitervorrichtung mit einem Metalloxidhalbleiterfeldeffekttransistor, der eine Source und einen Drain hat, die jeweils in Kontakt mit Leitungsschichten stehen, umfassend:

- einen Kontaktstift, der von einer Gate-Elektrode des Transistors isoliert ist und in elektrischem Kontakt mit der Source steht,

- ein Kontaktkissen, das elektrisch von der Gate-Elektrode isoliert ist und in elektrischem Kontakt mit dem Drain steht,

- eine erste Leitungsverdrahtung, die in elektrischem Kontakt mit dem Kontaktstift steht, und

- eine zweite Leitungsverdrahtung, die in elektrischem Kontakt mit dem Kontaktkissen steht und elektrisch von der ersten Leitungsverdrahtung isoliert ist.

3. Halbleiterspeichervorrichtung mit einem Metalloxidhalbleiterfeldeffekttransistor, einem in Kontakt mit einer Source des Transistors stehenden Kondensator und einer in Kontakt mit einem Drain des Transistors stehenden Bit-Leitung, umfassend:

- einen Kontaktstift, der von einer Gate-Elektrode des Transistors isoliert ist und in elektrischem Kontakt mit der Source steht,

- ein Kontaktkissen, das elektrisch von der Gate-Elektrode isoliert ist und in elektrischem Kontakt mit dem Drain steht,

- wobei die Bit-Leitung in elektrischem Kontakt mit dem Kontaktkissen steht,

- eine Speicherelektrode, die in elektrischem Kontakt mit dem Kontaktstift steht und elektrisch von der Bit-Leitung isoliert ist, und

- einen dielektrischen Film und eine Plattenelektrode, die jeweils auf der Speicherelektrode ausgebildet sind.

4. Verfahren zur Herstellung einer Halbleitervorrichtung mit einem Metalloxidhalbleiterfeldeffekttransistor, der eine Source und einen Drain hat, die jeweils in Kontakt mit Leitungsschichten stehen, umfassend die Schritte:

- Ausbilden eines Isolierfilms für eine Elementisolierung auf einem vorbestimmten Bereich eines Halbleitersubstrats, Ausbilden eines Metalloxidhalbleiterfeldeffekttransistors, der eine Gate-Elektrode, eine Source und einen Drain auf einem Bereich des Halbleitersubstrats auf einem anderen als dem vorbestimmten Bereich einschließt, und daraufhin Ausbilden eines Isolierfilms und eines Isolierfilmabstandhalters jeweils auf einer oberen Oberfläche der Gate-Elektrode und jeder Seitenfläche der Gate-Elektrode,

- Ausbilden eines ersten Isolierfilms zur Einebnung über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Isolierfilms und der Isolierfilmabstandhalter erhalten wird, und daraufhin Ausbilden von Kontaktlöchern zum Freilegen jeweils der Source und des Drain, – Niederschlagen einer Leitungsschicht über

der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung der Kontaktlöcher erhalten wird,

- Ausbilden eines Kontaktkissens und eines Kontaktstifts jeweils auf dem Kontaktloch zum Freilegen der Source und auf dem Kontaktloch zum Freilegen des Drain unter Verwendung eines Ätzprozesses unter Verwendung einer Kontaktkissenmaske,

- Ausbilden eines zweiten Isolierfilms über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Kontaktkissens und des Kontaktstifts erhalten wird, Ausbilden eines Kontaktlochs zum Freilegen des Kontaktstifts und daraufhin Ausbilden einer ersten Leitungsverdrahtung, die in Kontakt mit dem Kontaktstift steht, und

- Ausbilden eines dritten Isolierfilms über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung der ersten Leitungsverdrahtung erhalten wird, Ausbilden eines Kontaktlochs zum Freilegen des Kontaktkissens, und daraufhin Ausbilden einer zweiten Leitungsverdrahtung, die in Kontakt mit dem Kontaktkissen steht.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß eine Drain-Kontaktmaske beim Schritt zum Ausbilden des Kontaktlochs zum Freilegen des Kontaktstifts verwendet wird.

6. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß eine Source-Kontaktmaske beim Schritt zum Ausbilden des Kontaktlochs zum Freilegen des Kontaktkissens verwendet wird.

7. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß sowohl der Kontaktstift wie das Kontaktkissen aus einer Polysiliciumschicht oder einer amorphen Siliciumschicht bestehen.

8. Verfahren zum Ausbilden einer Halbleiterspeichervorrichtung mit einem Metalloxidhalbleiterfeldeffekttransistor, einem Kondensator, der in Kontakt mit einer Source des Transistors steht, und einer Bit-Leitung, die in Kontakt mit einem Drain des Transistors steht, umfassend die Schritte:

- Ausbilden eines Isolierfilms für eine Elementisolierung auf einem vorbestimmten Bereich eines Halbleitersubstrats, Ausbilden eines Metalloxidhalbleiterfeldeffekttransistors, der eine Gate-Elektrode, eine Source und einen Drain auf einem anderen Bereich des Halbleitersubstrats als dem vorbestimmten Bereich einschließt, und daraufhin Ausbilden eines Isolierfilms und eines Isolierfilmabstandhalters jeweils auf einer oberen Oberfläche der Gate-Elektrode sowie auf jeder Seitenfläche der Gate-Elektrode,

- Ausbilden einer ersten Ätzbarrierschicht für den Isolierfilm über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Isolierfilms und des Isolierfilmabstandhalters erhalten wird, und daraufhin Ausbilden eines ersten Isolierfilms zur Einebnung über der ersten Ätzbarrierschicht,

- Ausbilden von Kontaktlöchern jeweils zum Freilegen der Source und des Drain,

- Niederschlagen einer Leitungsschicht über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung

der Kontaktlöcher erhalten wird,

— Ätzen ausgewählter Bereiche der Leitungsschicht, wodurch ein Kontaktkissen und ein Kontaktstift jeweils auf dem Kontaktloch zum Freilegen des Drain und auf dem Kontaktloch zum Freilegen der Source ausgebildet wird, 5

— Ausbilden eines zweiten Isolierfilms über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Kontaktkissens und des Kontaktstifts erhalten wird, und daraufhin Ausbilden eines Kontaktlochs zum Freilegen des Kontaktkissens, 10

— Ausbilden einer Leitungsschicht für die Bit-Leitung und eines dritten Isolierfilms über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Kontaktlochs zum Freilegen des Kontaktkissens erhalten wird, und daraufhin Ätzen jeweils vorbestimmter Bereiche des dritten Isolierfilms und der Bit-Leitung unter Verwendung eines Ätzprozesses unter Verwendung einer Bit-Leitungsmaske, wodurch die Bit-Leitung ausgebildet wird, 20

— Ausbilden eines Isolierfilmabstandhalters auf jeder Seitenwand der Bit-Leitung, 25

— Ausbilden einer zweiten Ätzbarrierenschicht über der gesamten freiliegenden Oberfläche der resultierenden Struktur, die nach der Ausbildung des Isolierfilmabstandhalters erhalten wird, und daraufhin Ausbilden eines vierten Isolierfilms zum Einebnen über der zweiten Ätzbarrierenschicht, 30

— Ausbilden eines Kontaktlochs zum Freilegen des Kontaktstifts, 35

— Ausbilden einer Speicherelektrode, die in Kontakt mit dem Kontaktstift steht, und

— Ausbilden eines dielektrischen Films und einer Plattenelektrode auf der Speicherelektrode. 40

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß sowohl das Kontaktkissen wie der Kontaktstift aus einer Polysiliciumschicht oder einer amorphen Siliciumschicht bestehen.

10. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß der Schritt zum Ausbilden des Kontaktlochs zum Freilegen des Kontaktstifts folgende Schritte umfaßt: 45

— Ätzen des vierten Isolierfilms unter der Bedingung, daß eine Kontaktmaske für die Speicherelektrode verwendet wird, bis die zweite Ätzbarrierenschicht freigelegt ist, 50

— Ätzen eines freiliegenden Bereichs der zweiten Ätzbarrierenschicht, wodurch der zweite Isolierfilm teilweise freigelegt wird, und 55

— Ätzen des freiliegenden Bereichs des zweiten Isolierfilms, wodurch das Kontaktloch zum Freilegen des Kontaktstifts freigelegt wird.

Hierzu 15 Seite(n) Zeichnungen

60

65

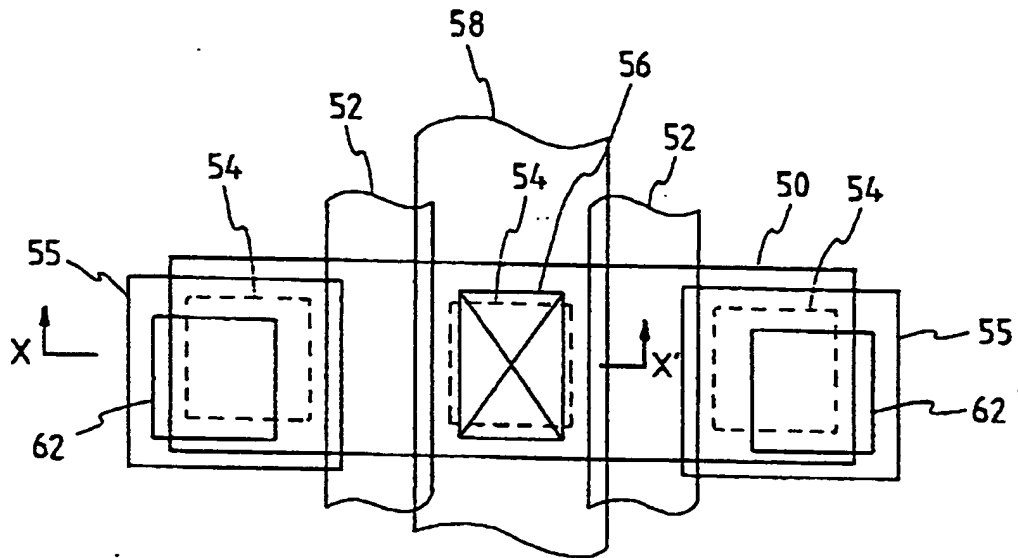


Fig . 3 *

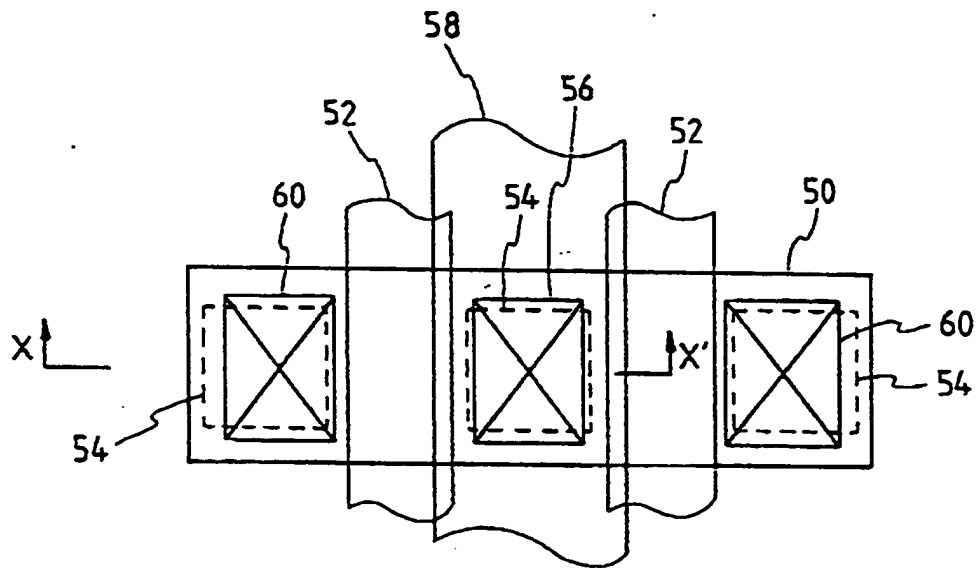


Fig. 1

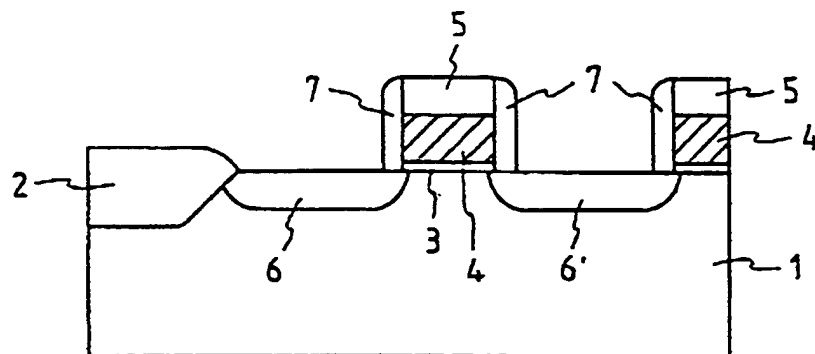


Fig. 2A

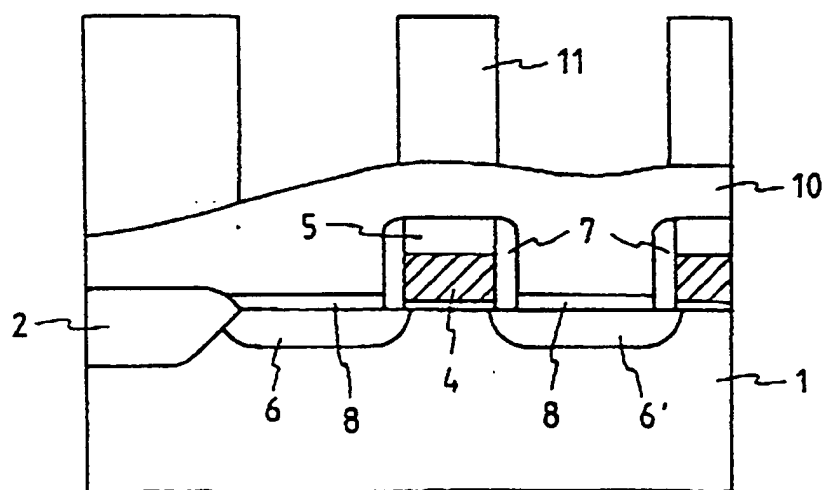


Fig. 2B

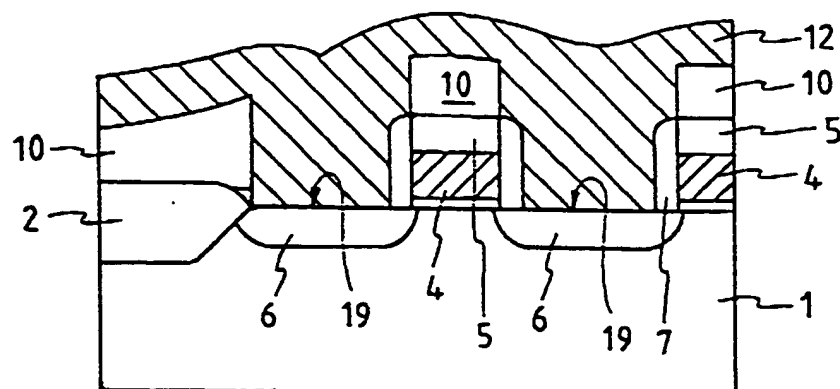


Fig. 2C

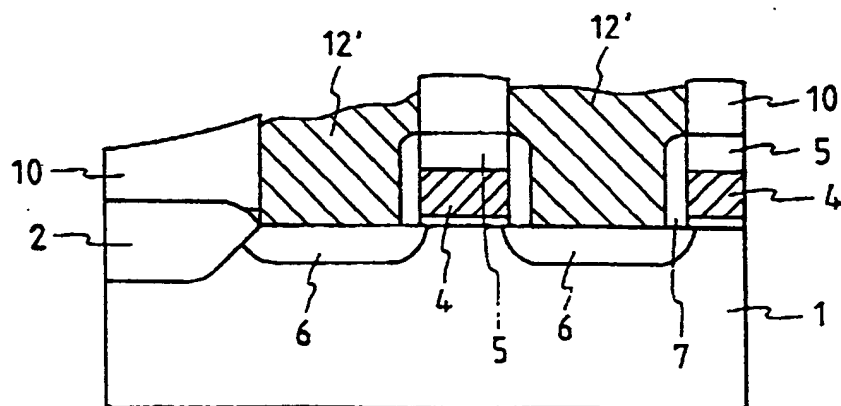


Fig. 2D

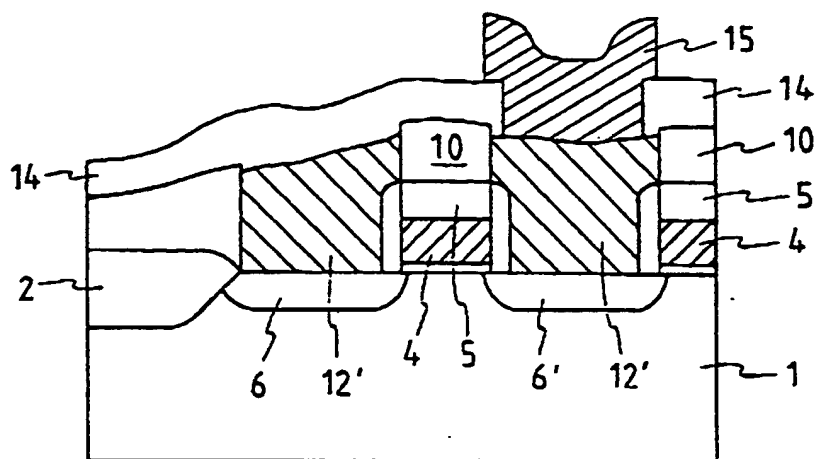


Fig. 2E

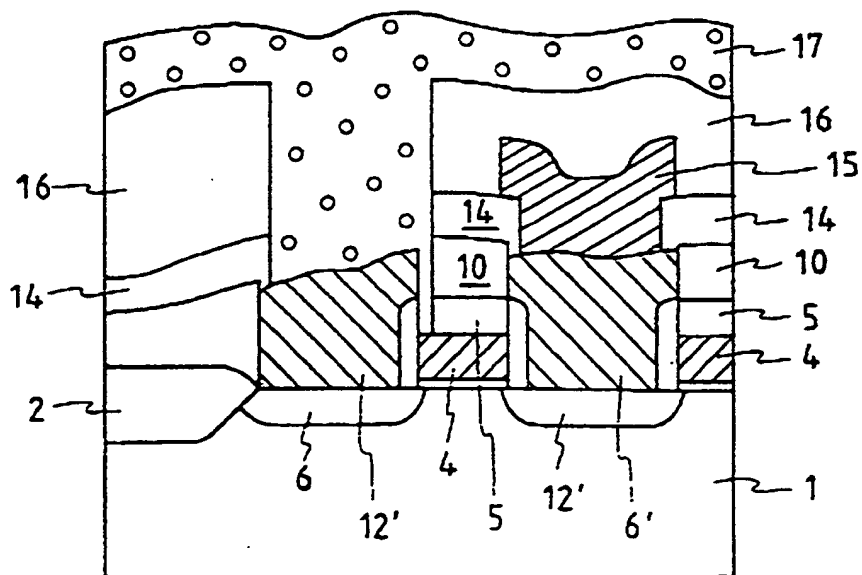


Fig. 2F

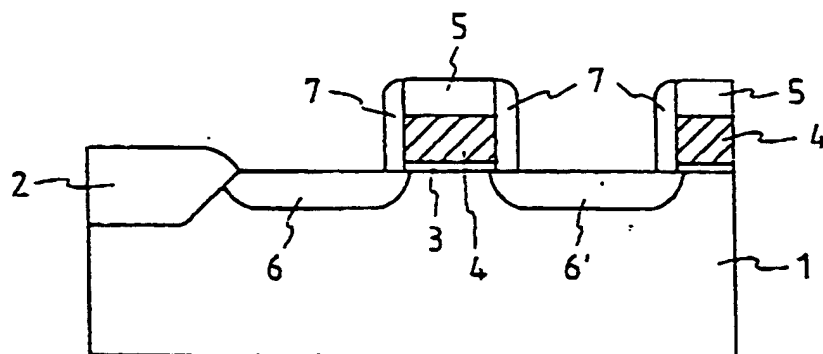


Fig. 4A

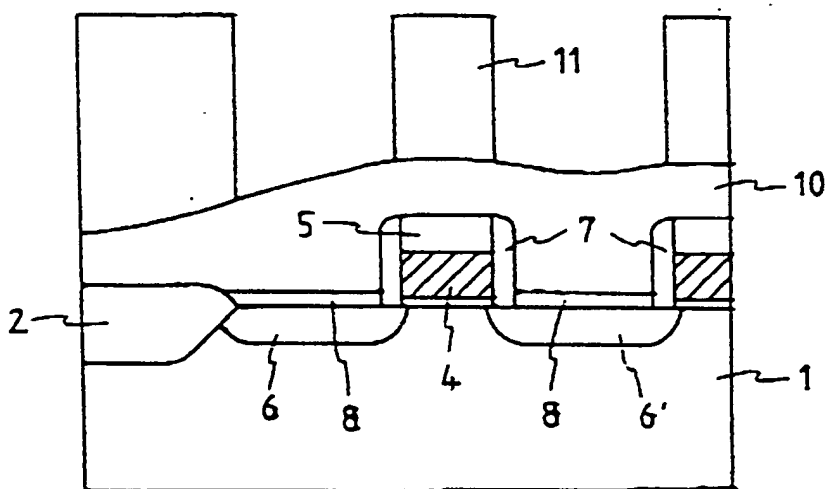


Fig. 4B

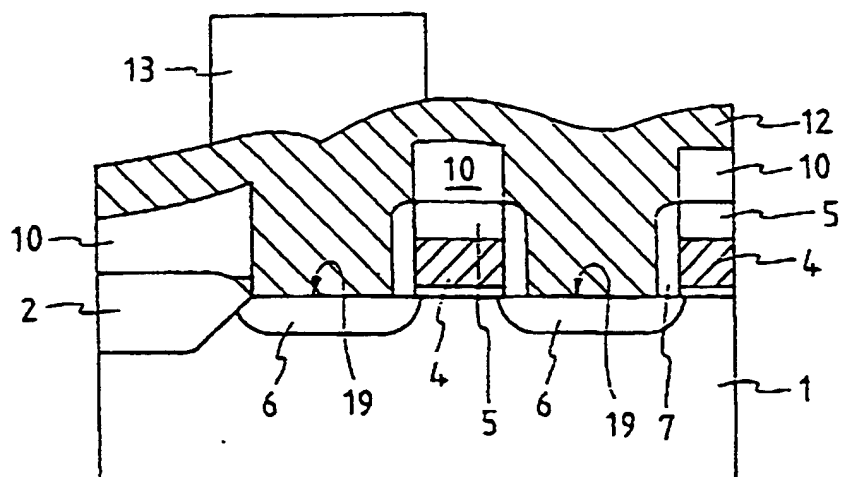


Fig. 4C

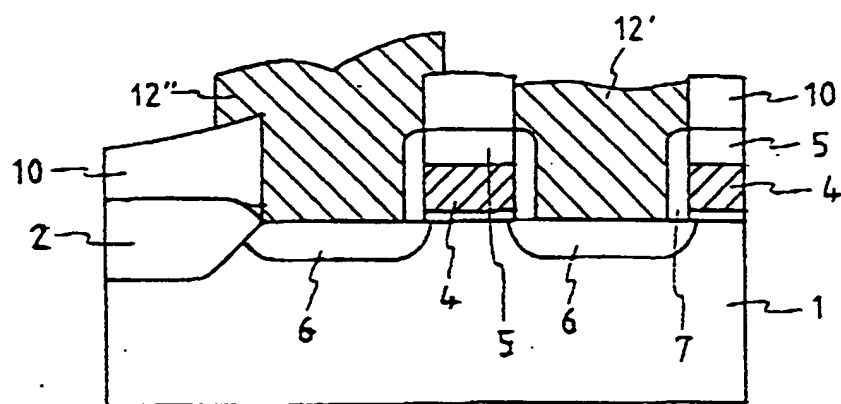


Fig. 4D

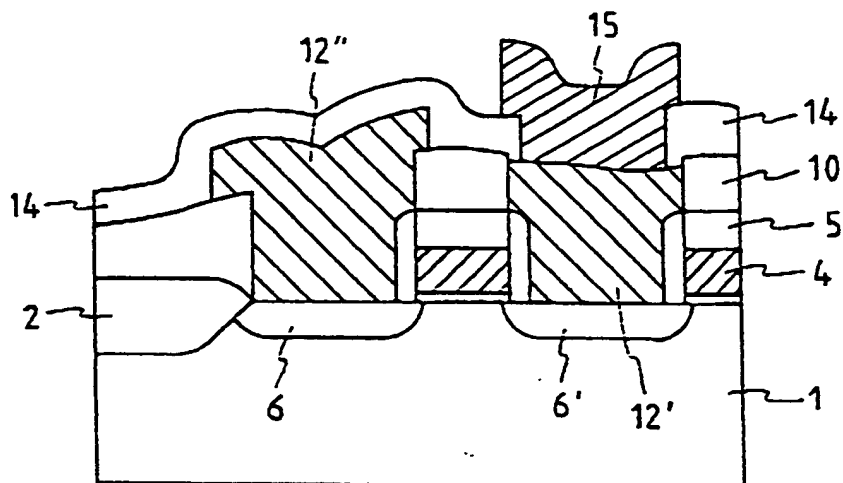


Fig. 4E

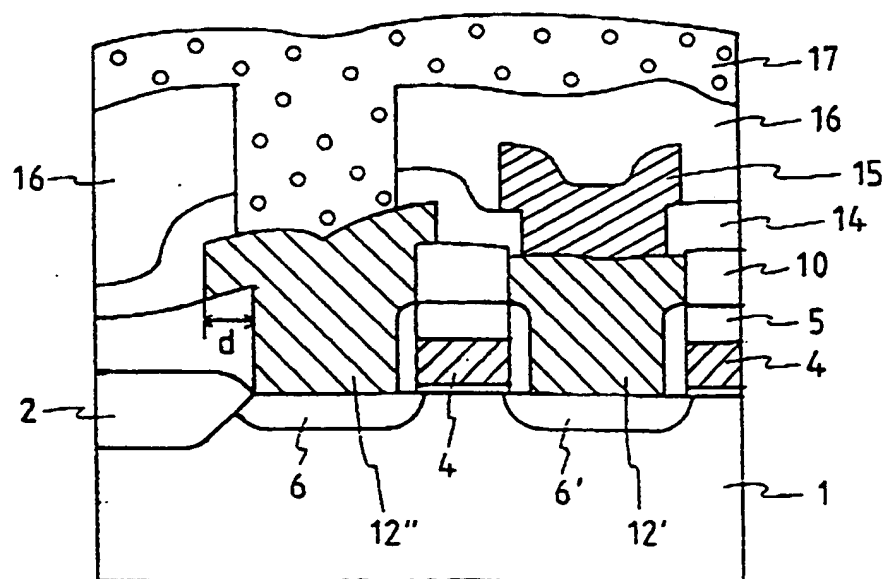


Fig. 4F

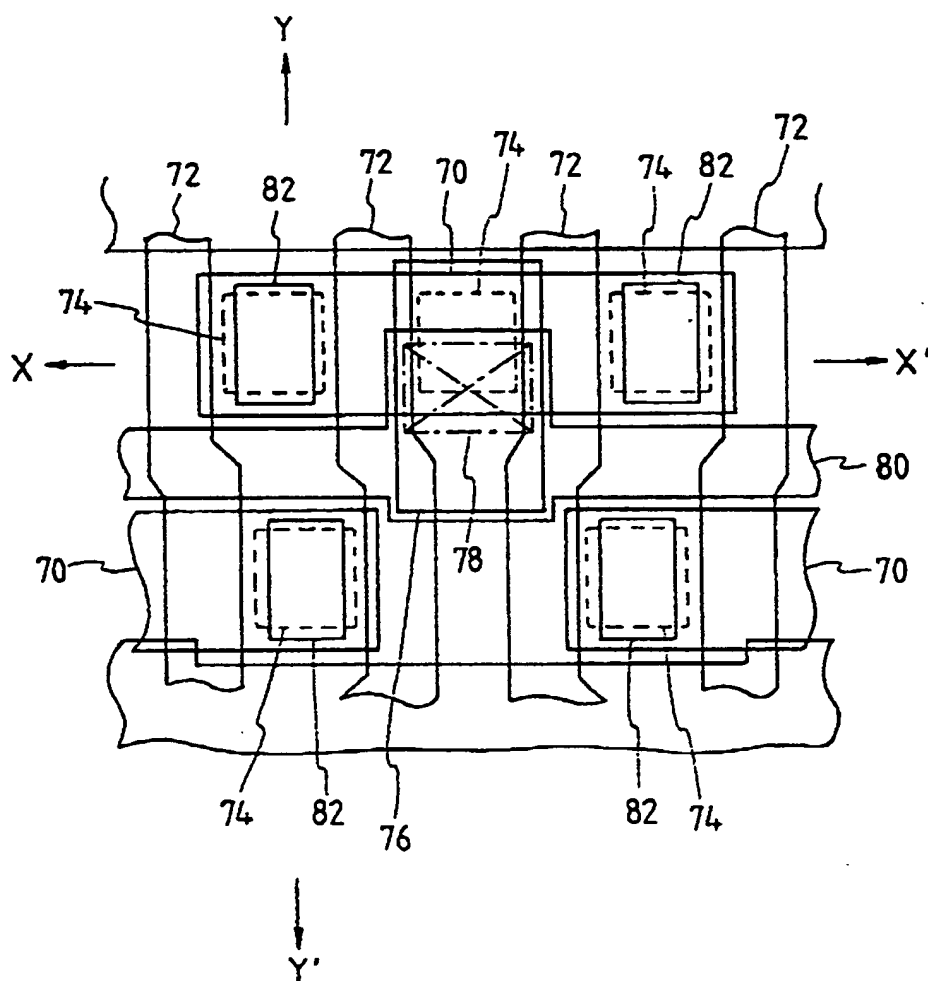


Fig. 5

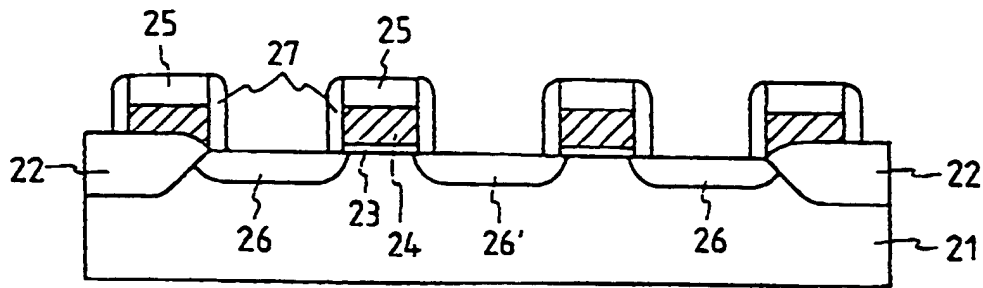


Fig. 6A

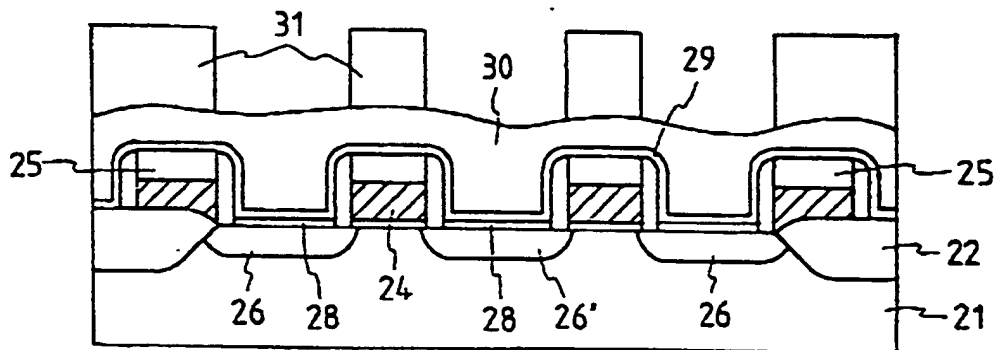


Fig. 6B

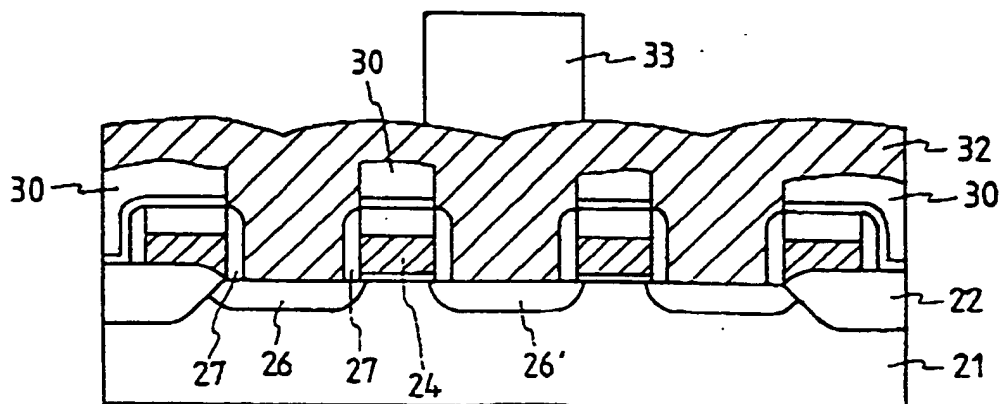


Fig. 6C

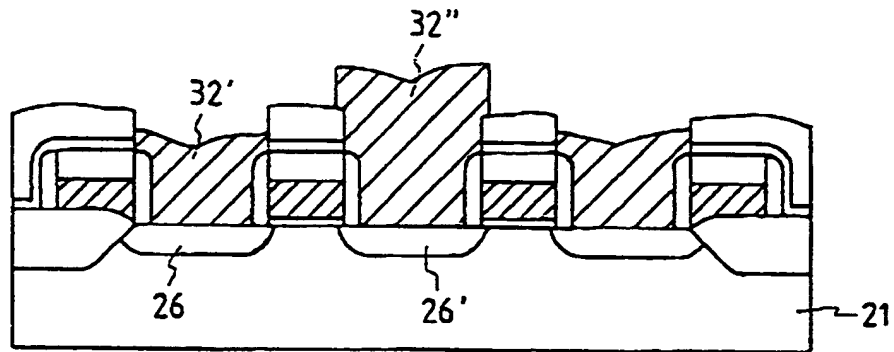


Fig. 6D

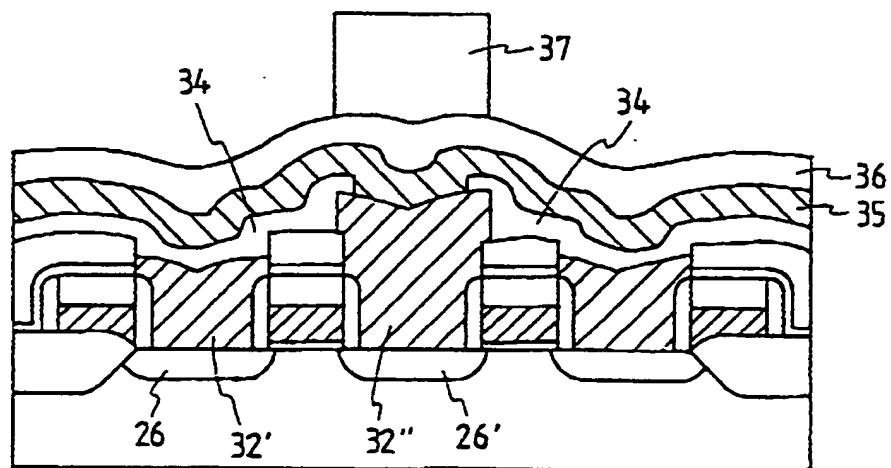


Fig. 6E

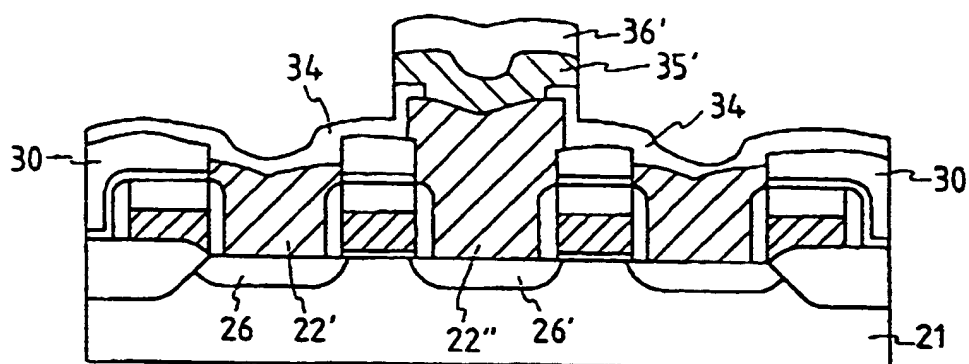


Fig. 6F

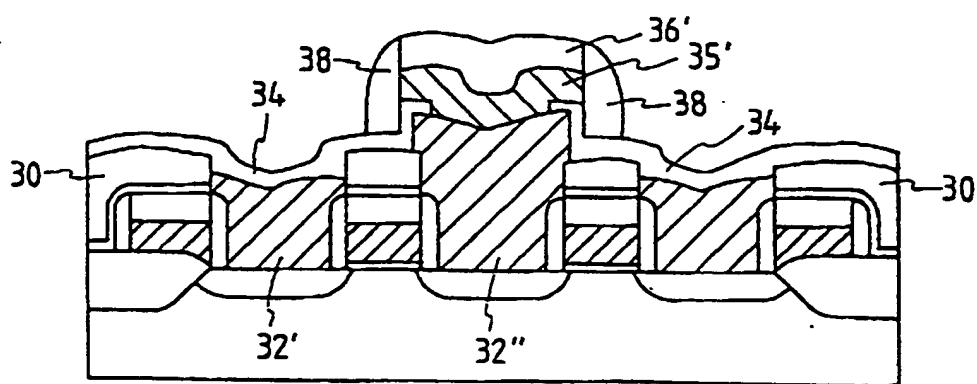


Fig. 6G

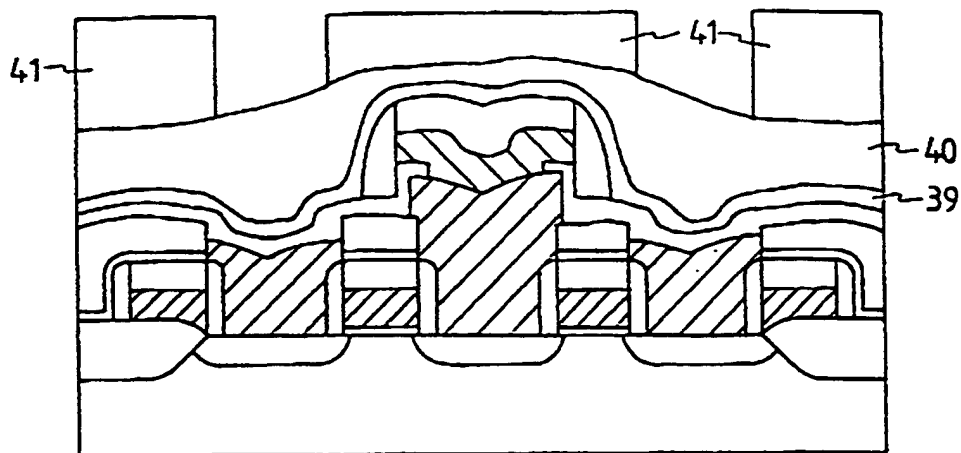


Fig. 6H

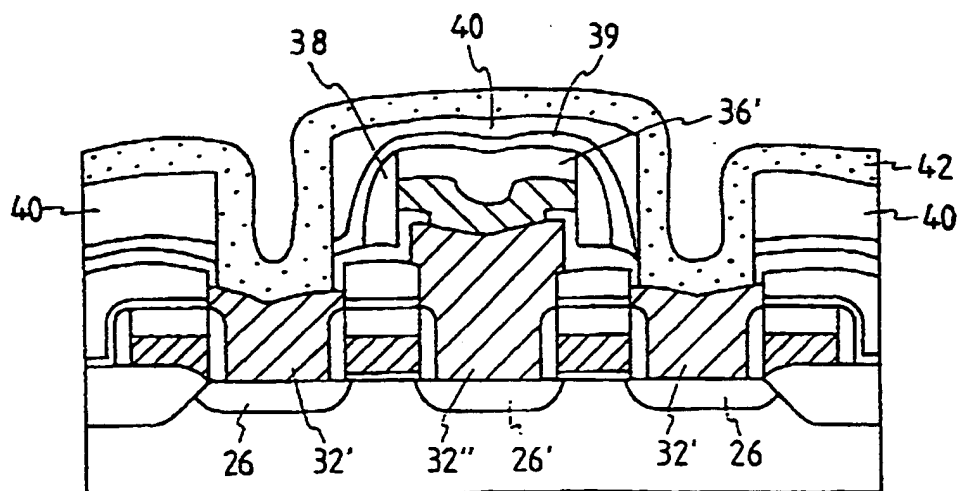


Fig. 6I

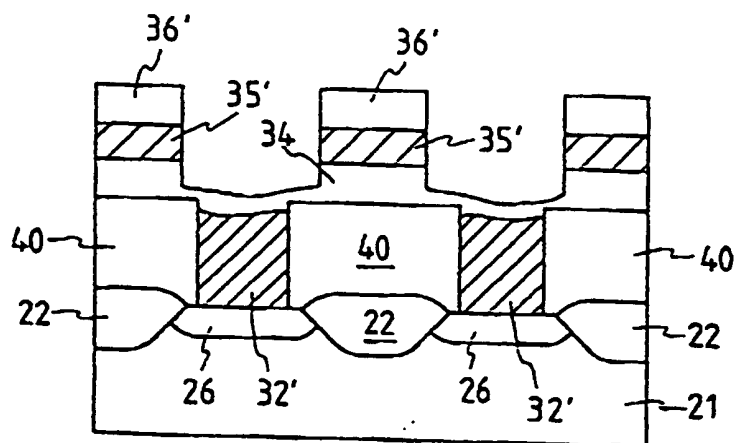


Fig .7A

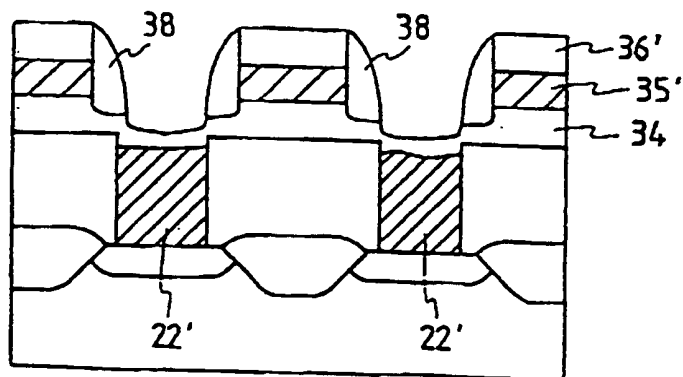


Fig .7B

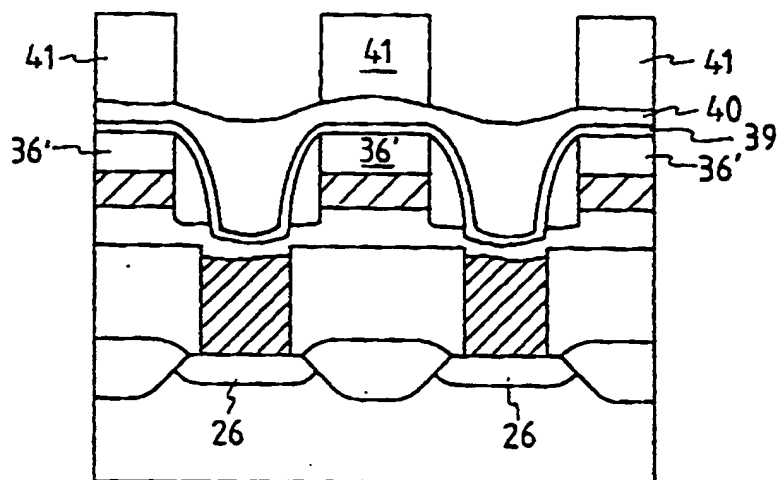


Fig. 7C

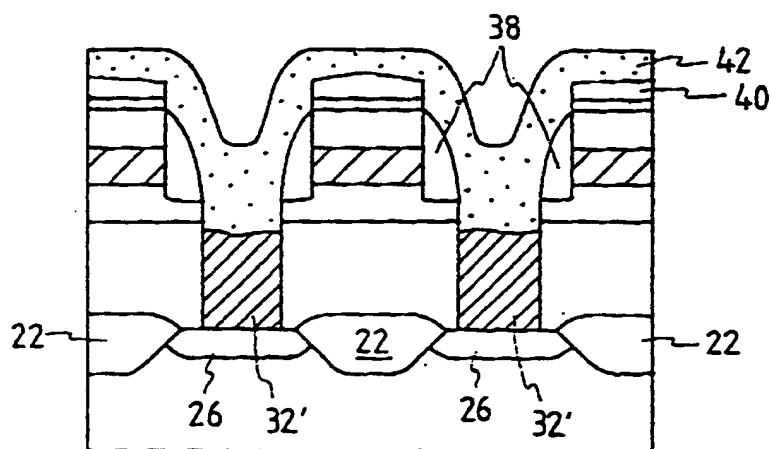


Fig. 7D